

1/3/5 (Item 5 from file: 351)
DIALOG(R)File 351:Derwent WPI
(c) 2005 Thomson Derwent. All rts. reserv.

008129487 **Image available**

WPI Acc No: 1990-016488/199003

XRPX Acc No: N90-012646

Low driving voltage operation logic circuit - includes master-slave
flip-flop that is combination of differential circuit transistor circuit
and latch transistor circuit

Patent Assignee: TOSHIBA KK (TOKE)

Inventor: OGAWA A

Number of Countries: 006 Number of Patents: 006

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 351166	A	19900117	EP 89306979	A	19890710	199003 B
JP 2021717	A	19900124	JP 88172263	A	19880711	199010
US 4977335	A	19901211	US 89375615	A	19890705	199101
KR 9209204	B1	19921014	KR 899824	A	19890711	199412
EP 351166	B1	19941123	EP 89306979	A	19890710	199445
DE 68919447	E	19950105	DE 619447	A	19890710	199506
			EP 89306979	A	19890710	

Priority Applications (No Type Date): JP 88172263 A 19880711

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

EP 351166	A	E	15		
-----------	---	---	----	--	--

Designated States (Regional): DE FR GB

EP 351166	B1	E	17	H03K-003/288	
-----------	----	---	----	--------------	--

Designated States (Regional): DE FR GB

DE 68919447	E			H03K-003/288	Based on patent EP 351166
-------------	---	--	--	--------------	---------------------------

KR 9209204	B1			H03K-019/00	
------------	----	--	--	-------------	--

BEST AVAILABLE COPY

SP2C

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-021717

(43)Date of publication of application : 24.01.1990

(51)Int.Cl.

H03K 3/289
H03K 19/086

(21)Application number : 63-172263

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 11.07.1988

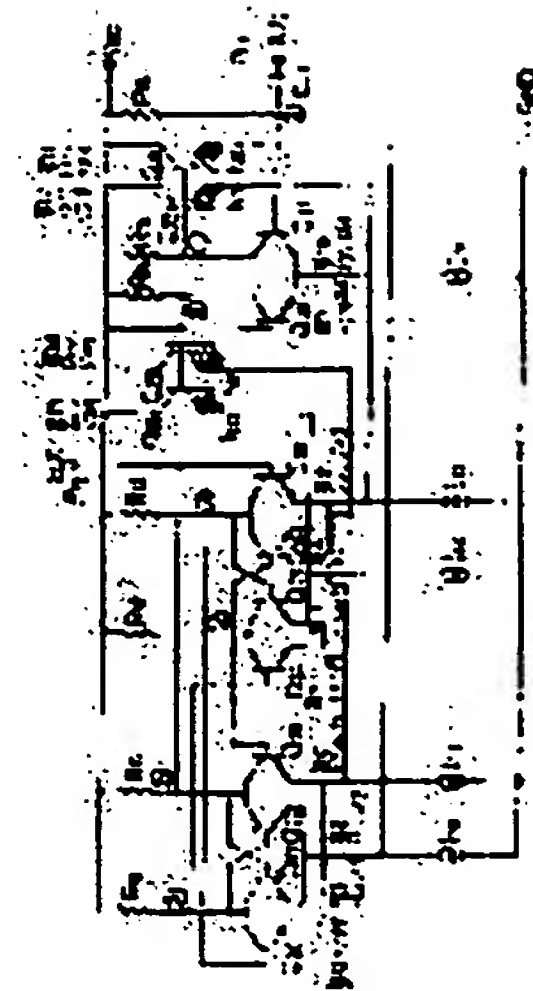
(72)Inventor : OGAWA ATSUSHI

(54) LOW VOLTAGE DRIVING TYPE LOGIC CIRCUIT

(57)Abstract:

PURPOSE: To ensure the on/off operation even if the voltage of a voltage source is low by applying the on/off operation control to a combined circuit comprising a difference stage applying master-slave operation and a latch means by means of an input stage transistor(TR) whose emitter area is made wider than those of the circuit.

CONSTITUTION: TRs Q31 is turned off and a TR Q30 is turned on which a signal (g) at an L level. With the signal (g) at an L level, a signal (e) goes to an L level and a signal (f) goes to an H level. With the signal (f) at an H level, TRs Q33, Q32 are both turned on. Since the emitter area ratio of the TRs Q33, Q32 is selected sufficiently larger than that of TRs Q21, Q22 and Q24, Q27, a current from current sources I10, I13 is almost a current from the TRs Q33, Q32 to almost cut off the TRs Q21, Q22. Thus, the low voltage drive logic circuit operated at a very low voltage, such as the voltage of a conventional battery decrease through consumption is obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

平2-21717

⑫ Int. Cl.

H 03 K 3/289
19/086

識別記号

A

庁内整理番号

8626-5 J
8326-5 J

⑬ 公開 平成2年(1990)1月24日

審査請求 未請求 請求項の数 2 (全10頁)

⑭ 発明の名称 低電圧駆動形論理回路

⑮ 特 願 昭63-172263

⑯ 出 願 昭63(1988)7月11日

⑰ 発 明 者 小 川

致

神奈川県横浜市磯子区新磯子町33 株式会社東芝横浜事業
所磯子工場内

⑱ 出 願 人

株 式 会 社 東 芝

神奈川県川崎市幸区堀川町72番地

⑲ 代 理 人

弁 理 士 伊 藤 進

明 細 書

1. 発明の名称

低電圧駆動形論理回路

2. 特許請求の範囲

(1) エミッタを共通接続すると共に、それぞれベース及びコレクタを互いのコレクタ及びベースに接続したラッチ動作の第1、第2トランジスタ及び第3、第4トランジスタと、

前記第1、第2トランジスタのコレクタにそれぞれコレクタを接続し、前記第3、第4トランジスタのコレクタからの信号をベースに入力して反転動作する第5、第6出力用増幅用トランジスタと、

前記第3、第4トランジスタのコレクタにそれぞれコレクタを接続し、前記第1、第2トランジスタのコレクタからの信号をベースに入力して反転動作する第7、第8出力用増幅用トランジスタと、

入力信号によって反転動作する第9、第10入力用増幅用トランジスタと、

前記第1、第2トランジスタ及び第7、第8トランジスタよりもエミッタ面積が大きく、前記第10トランジスタのコレクタからの信号をベースよりエミッタに導出して前記第1、第2及び第7、第8トランジスタと各共通の電流源に供給する第11、第12トランジスタと、

前記第3、第4トランジスタ及び第5、第6トランジスタよりもエミッタ面積が大きく、前記第9トランジスタのコレクタからの信号をベースよりエミッタに導出して前記第3、第4及び第5、第6トランジスタと各共通の電流源に供給する第13、第14トランジスタとを具備したことを特徴とする低電圧駆動形論理回路。

(2) 前記第1、第5トランジスタのコレクタ共通接続点と電圧源間及び、第2、第6トランジスタのコレクタ共通接続点と電圧源間にそれぞれ設ける第1、第2負荷抵抗の各電圧降下端子と前記電圧源との間に、これらの負荷抵抗とそれぞれ直列の関係をもちて接続した第1のレベルシフト抵抗と、

前記第3、第7トランジスタのコレクタ共通接点と電圧源 V_{cc} 及び、第3、第8トランジスタのコレクタ共通接点と電圧源 V_{cc} にそれぞれ設ける第3、第4負荷抵抗の各電圧検出端子と前記電圧源との間に、これら各負荷抵抗とそれぞれ直列の差動回路をもって接続した第2のレベルシフト抵抗とを有することを特徴とする請求項1に記載の低電圧差動形論理回路。

3. 発明の詳細な説明

〔発明の目的〕

（産業上の利用分野）

この発明はバイポーラ型論理回路にて構成するマスタースレーブ形フリップフロップ回路の改良に係り、特に、低電圧源による感動作する低電圧差動形論理回路に関する。

（従来の技術）

バイポーラトランジスタによる従来の論理回路を図7図に示す。

図7図において、図中、端子P1にハイレベルとロウレベルとに変化する入力信号が入る。こ

れトランジスタQ5とQ11のベース間及びQ5とQ12のベース間を共通に接続してある。そして、トランジスタQ5、Q6は、トランジスタQ2、Q3とQ1、Q4を差動的に駆動し、トランジスタQ11、Q12はそれぞれトランジスタQ8、Q9とQ7、Q10を差動的に駆動している。

上記電流源15は、トランジスタQ5とQ11のベース共通接点にも接続し、これらトランジスタQ5、Q11のベースに、入力信号に基づく電流を供給する。また、電流源13はトランジスタQ5とQ12のベース共通接点にも接続し、これらトランジスタQ5、Q12のベースに、入力信号に基づく電流を供給する。

また、トランジスタQ2とQ1のコレクタ同士、トランジスタQ3とQ4のコレクタ同士及び、トランジスタQ7とQ8のコレクタ同士、トランジスタQ9とQ10のコレクタ同士は、それぞれ共通に接続してある。そして、トランジスタQ1とQ2のコレクタ共通接点は負荷抵抗R1を介して電圧源 V_{cc} に接続し、トランジスタQ3とQ4の

の入力信号は、コンデンサC1を介してトランジスタQ14と差動増幅回路を成すトランジスタQ15のベースに入力している。トランジスタQ15のベースと電圧源 V_{cc} との間には抵抗R7が接続してある。

上記トランジスタQ14、Q15は、それぞれコレクタと電圧源 V_{cc} との間に負荷抵抗R5、R6を接続し、エミッタ共通接点を電流源14を介して基準電位点に接続する。そして、これらのコレクタからの信号は、それぞれトランジスタQ13、Q16のベースよりエミッタに導出し、それぞれ電流源13、15に流れる。

一方、トランジスタQ1～Q6及びQ7～Q12は、ダブルバランス形の差動増幅回路によるマスタースレーブフリップフロップを構成しており、計算すると、トランジスタQ1、Q4とQ7、Q10は各上段の差動増幅回路を成し、トランジスタQ2、Q3とQ5、Q9はコレクタベース間をいわゆるタスキ掛け接続した対を成している。また、下段のトランジスタQ5、Q6とQ11、Q12は、それ

コレクタ共通接点は負荷抵抗R2を介して電圧源 V_{cc} に接続し、トランジスタQ7とQ8のコレクタ共通接点は、負荷抵抗R3を介して電圧源 V_{cc} に接続し、トランジスタQ9とQ10のコレクタ共通接点は、負荷抵抗R4を介して電圧源 V_{cc} に接続している。

この回路の一つの出力は、トランジスタQ3とQ4のコレクタ共通接点をトランジスタQ10のベースに接続して端子P2に導出している。尚、トランジスタQ1のベースはトランジスタQ9とQ10のコレクタ共通接点に、トランジスタQ4のベースはQ7とQ8のコレクタ共通接点に、トランジスタQ7のベースはQ1とQ2のコレクタ共通接点に接続してある。

次に上記回路の動作を説明する。

次は、図7図の回路の動作を示している。

	I	II	III	IV
入力信号①	L	H	L	L
出力信号②	L	L	H	H
出力信号③	L	H	L	L
スイッチング信号④	L	H	L	H

第1表

上段において、⑤はトランジスタQ13のベースに取れる(入力)信号を示し、①、②、③、④はそれぞれ、トランジスタQ1、Q2のコレクタ共通接点、Q3、Q4のコレクタ共通接点、Q7、Q8のコレクタ共通接点及びQ9、Q10のコレクタ共通接点に取れる出力信号を、⑥、⑦はそれぞれQ14、Q15のコレクタに取れる信号を示している。また、Hはハイレベル、Lはロウレベルを意味し、例えば信号①については、抵抗R1に電流が流れないときをH、抵抗R1に電流が流れるときをLとする。

信号①は、最初LレベルからH→Lと変化し、最初のLレベルのとき、トランジスタQ8はオン、Q9がオフし、信号②はLレベル、信号③はHレベルであるとする。このように仮定すると、トランジスタQ1、Q4の差動増幅回路としての性質によって、信号④はLレベル、信号⑤はHレベルとなる。このとき、トランジスタQ13がオフ(Q14オン)して信号⑥がHレベルとなり、このHレベルがそのままトランジスタQ16のエミッタに取

れるので、トランジスタQ11、Q6はオンし、Q12、Q5はオフしている。従って、Iの状態の電流経路は、抵抗R1-Q1-Q6-I1と、抵抗R3-Q8-Q11-I2となる。

次に信号②がHレベルになると、トランジスタQ14とQ15の状態が反転し、信号②がLレベル、信号③がHレベルに変化する。これにより、トランジスタQ5、Q6とQ11、Q12の状態が反転し、トランジスタQ2、Q3がIのときの状態に対してトランジスタQ1、Q4の状態をラッチする。これに対し、トランジスタQ8、Q9は両方ともオフするので、下段差動増幅回路の反転動作に帰する上段差動増幅回路トランジスタQ7、Q10のうちQ10がオンする。結局、IIの状態のときは、抵抗R1-Q2-Q5-I1と、R4-Q10-Q12-I2と決まり、信号⑥と⑦が反転し、信号③と④は反転しない。

信号③が再びLレベルとなるIIIの状態では、トランジスタQ16がオフ、Q13がオンとなる。これより、信号⑥がLレベル、信号⑦がHレベルを空し、差動増幅回路トランジスタQ5、Q6とQ11、Q12

がIIの状態から反転動作する。これによって、トランジスタQ8、Q9は、差動増幅回路トランジスタQ7、Q10の状態をラッチしてQ9がオンし、下段差動増幅回路Q5、Q6に帰する上段差動増幅回路トランジスタQ1、Q4のうちQ4がオンする。従って、IIIの状態のときは、R2-Q4-Q6-I1と、R4-Q9-Q11-I2の経路を電流が流れ、信号③と④は反転せず、信号⑤と⑥が反転する。

更に、IVの状態では、信号③が再びHレベルに転移するので、信号③がHレベル、信号④がLレベルとなる。これにより、差動増幅回路トランジスタQ5、Q6とQ11、Q12がIIIの状態から反転動作し、トランジスタQ2、Q3が、差動増幅回路トランジスタQ1、Q4の状態をラッチしてQ3がオンし、下段差動増幅回路Q11、Q12に帰する上段差動増幅回路Q7、Q10のうちQ7がオンする。従って、IVの状態では、R2-Q3-Q5-I1と、R3-Q7-Q12-I2とに電流が流れ、信号③と④は反転し、信号⑤と⑥は反転しない。

第7図の回路は上記のような動作により、入力

信号を2分の1分割するマスタースレーブフリップフロップ回路の働きをしている。

ところで、近時、リモコンハンドセット、ICカード等のように、電池の仕様が1本の電子部品が増加している。電池は、一般に、消耗すると、0.9[V]程度まで電圧が下がるので、このような低い電圧でも正確にマスタースレーブ動作する回路の提供が求められている。

しかしながら、第7図に示す従来の回路は、電圧源と基準電位点との間に、例えばトランジスタQ13のベース・エミッタ接合と、トランジスタQ12のベース・エミッタ接合との直列結合、又はトランジスタQ9とQ11とによるベース・エミッタ接合の直列結合等、トランジスタのオンオフ動作に抵抗値が必要なベース・エミッタ間電圧V_{BE}が2倍となる回路がある。このような、ベース・エミッタ接合の直列結合が、電圧源と基準電位点との間に存在する差動回路では、バイアス電圧を精度に設定しても、前述ベース・エミッタ間電圧の2倍の電圧である1.6[V]以下では動作しない。

(冗明が解決しようとする課題)

上述したように、従来のハイブリッドトランジスタによる論理回路では、電圧源と基準電位点とのベース・エミッタ間接合の適用組合が存在するので、この組合の持つ電圧V_{BE}の略2倍の電圧を出力する電圧源でないとは作れないという問題があった。

この冗明は上記問題を除去し、非常に低い電圧、例えば通常の電圧が消失して低下した場合でも動作する低電圧論理回路の提供を目的とする。

[冗明の構成]

(課題を解決するための手段)

この冗明は差動増幅トランジスタ回路と、この差動増幅トランジスタ回路の動作状態を記憶するラッチ用トランジスタ回路との組合わせによるマスタースレーフフリップフロップ回路を設けると共に、これらトランジスタ回路の所定対系子と電圧源を共有し、かつこれらの対系子よりエミッタ面積が大なる入力段トランジスタ回路を設け、

入力信号を多く入力端子であり、C11は端子P11からの信号を(第9)トランジスタQ30と差動増幅回路を成す(第10)トランジスタQ31のベースに供給している。トランジスタQ31は、ベースと電圧源V_{cc}との間に抵抗R16を接続し、エミッタはトランジスタQ30と共通接続し、その共通接続点を電圧源I11を介して基準電位点に接続し、コレクタは負荷抵抗R15を介して電圧源V_{cc}に接続している。トランジスタQ30は、ベースは電圧源V_{cc}に接続し、コレクタは負荷抵抗R14を介して電圧源V_{cc}に接続している。

一方、Q20～Q23及びQ24～Q27から成るマスタースレーフフリップフロップ回路は、(第1)トランジスタQ21及び(第2)トランジスタQ22の対と、(第3)トランジスタQ23及び(第4)トランジスタQ26の対によって、それぞれラッチ回路を構成している。即ち、トランジスタQ21、Q22及びQ23、Q26の各エミッタ同士は、それぞれ共通に接続すると共に、トランジスタQ21のベース、及びコレクタは、それぞれトランジスタQ

22のコレクタ及びベースに接続し、トランジスタQ23のベース及びコレクタは、トランジスタQ26のコレクタ及びベースに接続している。

(作用)

このような構成によれば、マスター・スレーフ動作を行う差動段とラッチ段との割合合わせ回路を、エミッタ面積をこれらより広くした入力段トランジスタによって、オンオフ動作を制御する。この場合、前記入力段トランジスタのエミッタ面積比が大さいことで、電圧源電圧が低い場合でも、上記のオンオフ動作を確実に行われることができ、このオンオフ動作を行なわせるために、ラッチ段と差動段の下段に差動段を設ける必要がなくなる。こうして、ベース・エミッタ間接合の適用組合の存在しない回路を構成することができる。

(実施例)

以下、この冗明の一次実施例を、図面を参照して説明する。

第1図はこの冗明に係る低電圧差動増幅回路の一次実施例を示す回路図である。図中、P11は

22のコレクタ及びベースに接続し、トランジスタQ23のベース及びコレクタは、トランジスタQ26のコレクタ及びベースに接続している。

また、(第5)トランジスタQ20と(第6)トランジスタQ23並びに、(第7)トランジスタQ24と(第8)トランジスタQ27とは、差動増幅回路を構成し、各エミッタをそれぞれ共通の電圧源I11及びI13を介して基準電位点に接続している。尚、上記トランジスタQ21、Q22及びQ23、Q26のエミッタ共通接続点も、それぞれ電圧源I10、I12を介して基準電位点に接続している。

更に、トランジスタQ20とQ21はコレクタ同士共通に接続し、その共通接続点を、(第1)負荷抵抗R10を介して電圧源V_{cc}に接続している。また、トランジスタQ22とQ23もコレクタ同士共通に接続し、その共通接続点は(第2)負荷抵抗R11を介して電圧源V_{cc}に接続している。同様に、トランジスタQ24とQ25、Q26とQ27のコレクタ同士もそれぞれ共通に接続し、これらの接続点はそれぞれ(第3)負荷抵抗R12、(第4)負荷抵抗

はR13を介して高圧源Vccに接続してある。

そして、トランジスタQ20～Q23の図面と、Q24～Q27の図面と、トランジスタQ20とQ21とのコレクタ共通接続点をトランジスタQ24のベースに接続し、トランジスタQ22とQ23のコレクタ共通接続点をトランジスタQ27のベースに接続し、トランジスタQ24とQ25のコレクタ共通接続点をトランジスタQ23のベースに接続し、トランジスタQ26とQ27のコレクタ共通接続点をトランジスタQ20のベースに接続してある。

しかして、上記トランジスタQ31のコレクタは、(第11)トランジスタQ33及び(第12)トランジスタQ32のベースに接続し、トランジスタQ30のコレクタは、(第13)トランジスタQ28、(第14)トランジスタQ29のベースに接続している。そして、トランジスタQ33は、トランジスタQ21、Q22の電流比I10を共有している。また、トランジスタQ29はトランジスタQ20、Q23の電流比I11を共有している。同様に、トランジスタQ28はトランジスタQ25、Q26の電流比I12を共

有し、トランジスタQ32はトランジスタQ24、Q27の電流比I13を共有している。

ここに、トランジスタ28はトランジスタQ25、Q26に対しエミッタ面積比が $N1:1$ 、トランジスタQ29はQ20、Q23に対しエミッタ面積比が $N2:1$ 、トランジスタQ32はQ24、Q27に対しエミッタ面積比が $N3:1$ 、トランジスタQ33はQ21、Q22に対しエミッタ面積比が $N4:1$ に設定し、各 $N1 \sim N4$ はすべて1を満足する値に設定する。

尚、この図面の1つの出力は、トランジスタQ22、Q23のコレクタ共通接続点に接する信号を用い、出力端子Pにより導出している。

この説明による一実施例の図面は上記のごとく構成され、次に動作を説明する。尚、第7図の図面の各部における信号に付した符号は、本図面の場合も同様の信号が現れるので同じ符号を用いる。

先ず、トランジスタQ30、Q31は、信号④がしめるとき、トランジスタQ31がオフし、トランジスタQ30がオンする。従って、信号④がしレベルの

とき、信号④はLレベル、信号⑤はHレベルになる。信号④がHレベルであると、トランジスタQ33、Q32が共にオン動作する。ここで、トランジスタQ33、Q32のエミッタ面積比は、トランジスタQ21、Q22及びQ24、Q27より十分大きくしてあるので、電流比I10、I13による電流は、ほとんどトランジスタQ33、Q32からの電流を流す。例えば、トランジスタQ33のエミッタサイズをQ21、Q22に対して10倍とすると、I10の電流の10/11はトランジスタQ33を流れることになり、トランジスタQ21、Q22をほとんどカットオフ状態にする。

このため、動作状態Iのときは、トランジスタQ21、Q22及びQ24、Q27をそれぞれオフ動作させることができる。同様に、動作状態IIのときも、上記Q21、Q22、Q24、Q27がオフ状態になる。反対に、信号④がHレベルになると、トランジスタQ28、Q29がオンし、トランジスタQ32、Q33がオフする。トランジスタQ28、Q29もエミッタ面積比は、トランジスタQ25、Q26及びQ20、Q

23より十分大きくしてあるので、電流比I12、I11による電流は、ほとんどトランジスタQ28、Q29からの電流を流す。このため、動作状態IIIのときは、トランジスタQ25、Q26及びQ20、Q23をそれぞれオフ動作させることができる。同様に、動作状態IVのときも、上記Q20、Q23、Q25、Q26がオフ状態になる。

以下、各動作状態に分けて説明する。尚、第2図に示すように、入力信号として④に示すような信号が入力すると、各信号④、⑤は図④、⑤に示すような位相で動作するものとする。

動作状態I

この場合は、上述したごとく、トランジスタQ21、Q22と、Q24、Q27を強制的にオフ動作させる。ここで、第7図と同様に、電流投入時において、信号④がしレベルのとき、トランジスタQ25がオンと仮定すると、トランジスタ20、Q23の反動帰帰回路としての性質によって、トランジスタQ20がオンし、トランジスタQ23がオフする。これにより、R10-Q20-I11成る電流回路と、

R12-Q25-I12なる電流経路が形成される。次に、動作Ⅰのときは、信号④はLレベル、信号⑤はLレベル、信号⑥はLレベル、信号⑦はLレベル、信号⑧はHレベルとなる。

動作状態Ⅱ

この場合は、上述したエミッタ面積差によって、トランジスタQ25、Q26と、Q20、Q23をオフさせる。ここで、動作Ⅰのときは、トランジスタQ20がオン、Q23がオフしていたので、トランジスタQ21がオン、トランジスタQ22がオフする（ラッチ動作）。これにより、信号④がLレベルを抜け、信号⑤がHレベルを抜ける。トランジスタQ24は信号⑥のLレベルによってオフ動作し、トランジスタQ27は信号⑦のHレベルによってオン動作する。これにより、信号④はHレベルに変化し、信号⑤はLレベルに変化することになる。次に、電流経路は、R10-Q21-I10と、R13-Q27-Q13となる。

動作状態Ⅲ

この場合は、再び、トランジスタQ32、Q33が

ける。また、信号⑥によるHレベルによってトランジスタQ24がオンし、信号⑥によるLレベルによってトランジスタQ27がオフするので、信号⑥はLレベルに変わり、信号⑦はHレベルに変わる。次に、電流経路は、R11-Q22-I10と、R12-Q24-I13となる。

次は、トランジスタQ20～トランジスタQ27の動作を整理したものである。

	I	II	III	IV
トランジスタQ21	OFF	ON	OFF	OFF
トランジスタQ22	OFF	OFF	OFF	ON
トランジスタQ23	ON	OFF	OFF	OFF
トランジスタQ26	OFF	OFF	ON	OFF
トランジスタQ20	ON	OFF	OFF	OFF
トランジスタQ23	OFF	OFF	ON	OFF
トランジスタQ24	OFF	OFF	OFF	ON
トランジスタQ27	OFF	ON	OFF	OFF

第2表

以上のように、本回路は第7図の回路と同じマスタースレーブフリップフロップ動作を行うこと

オンすることによって、I13、I10の電流がトランジスタQ32、Q33を流れ、トランジスタQ21、Q22と、Q24、Q27がオフする。トランジスタQ25、Q26は、トランジスタQ24、Q27の動作Ⅱにおける状態をラッチするので、トランジスタQ26がオンし、トランジスタQ25がオフする。これにより信号④はHレベルを抜け、信号⑤はLレベルを抜ける。また、信号⑥によるHレベルによってトランジスタQ23がオンし、信号⑥のLレベルによって、トランジスタQ20がオフする。これによって、信号⑥がHレベルに変わり、信号⑦がLレベルに変わる。

次に、電流経路は、R11-Q23-I11と、R13-Q26-I12となる。

動作状態Ⅳ

この場合は、トランジスタQ25、Q26とQ20、Q23がオフする。動作Ⅲにおいて、トランジスタQ23がオンしていたので、トランジスタQ22がオンし、トランジスタQ21がオフする。これにより、信号④はHレベルを抜け、信号⑤はLレベルを抜

がれる。しかし、第7図と比べると、電圧源Vccが低電圧位と図に、ベース・エミッタ結合の直列結合が存在しないので、電圧源Vccとして、極めて低い電圧でも、確実なフリップフロップ動作を行うことができる。

第3図は電圧源Vccが1.0[V]のときの信号④と出力の1つである信号⑤を比較して示すが、入力信号に相当する信号④に対する信号⑤のレベルがフリップフロップ動作の周回ごとに異なっており、分岐動作をしていることが理解できる。

また、第4図はVccを0.9[V]に低くしたときの同じ信号を示すが、略1.0[V]のときと同等の性能が得られている。

次に、他の実施例を説明する。

まず、第5図はエミッタ面積を広くしたトランジスタによる動作を確実にするため、ラッチ段と分岐段の対応したマスタースレーブフリップフロップ回路（トランジスタQ20～Q27に相当する回路部）の電流経路を、トランジスタQ30、Q31による入力段より低くするようにしたものである。

第5図において、トランクススタQ40～Q47、電流源I20～I23及び負抵抗R20～R23から成る回路は、第1図の回路において、Q20～Q27、I10～I13及び抵抗R10～R13による回路に対応し、Q48～Q53、I24及び抵抗R24～R26から成る回路は、第1図のQ28～Q33、I14及び抵抗R14～R16による回路に対応している。

そして、電圧源Vccは、抵抗R1を介してそれぞれ抵抗R20、R21の共通接点に接続し、抵抗R1を介して抵抗R22とR23の共通接点に接続している。

このように、トランクススタQ40～Q47の回路部、の駆動電圧を下げることににより、エミッタ面積を大きくしたトランクススタQ48、Q49、Q52、Q53の動作電圧が、第1図の実施例の場合より多くなり、トランクススタQ48、Q49がオンしたときのトランクススタQ45、Q46とQ40、Q43のオフ動作並びに、トランクススタQ52、53がオンしたときの、トランクススタQ44、Q47とQ41、Q42のオフ動作を確実にする。

N3及びN2 > N4とすることによって、フリップフロップ動作をより確実にすることができ、また、高周波域でも安定な動作を行うことが可能とされた。

〔発明の効果〕

以上説明したようにこの発明によれば、低電圧で正確なフリップフロップ動作を行うという効果がある。

4. 図面の簡単な説明

第1図はこの発明にかかる低電圧駆動形論理回路の一例を示す回路図、第2図、第3図及び第4図はこの発明の動作を説明するための波形状及び特性図、第5図はこの発明の他の実施例を示す回路図、第6図はこの発明の更に他の実施例を示す回路図、第7図は従来の論理回路を示す回路図である。

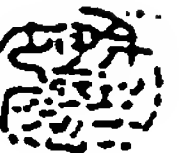
Q20～Q27—第1～第8トランクススタ、Q28、Q29、Q32、Q33—第11～第14トランクススタ、Q30、Q31—第9、第10トランクススタ、R10～R13—負抵抗、I10～I14—電流源、④—入力

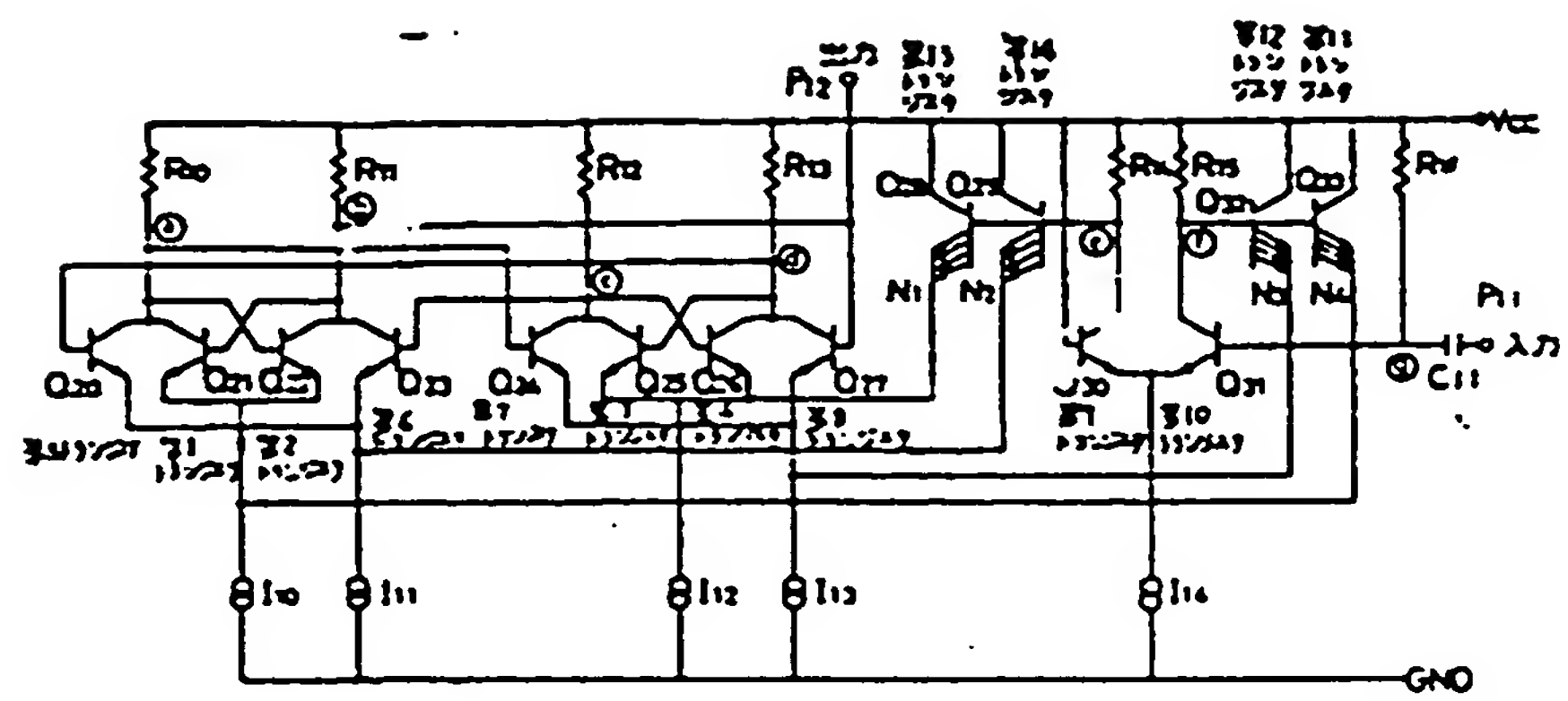
次に、第6図はDフリップフロップとして使用できるように、必要な端子を接続したのものであり、内部回路構成は第1図と同じ符号を付している。そして、トランクススタQ20、21のコレクタ共通接点よりQ端子を引き出し、トランクススタQ22、Q23のコレクタ共通接点よりQ端子を引き出し、トランクススタQ24のベースよりD入力端子を引き出し、トランクススタQ27のベースよりQ端子を引き出している。これにより、第1図ではトランクススタQ24のベースとトランクススタQ20、Q21のコレクタ共通接点とが接続されていたが、Q端子Dを引き出したために切断してある。同じく、トランクススタQ27とQ22、Q23の間隔も、ベースとコレクタ共通接点と接続を切断してある。また、入力端子P11にはクロック信号を加える。

尚、第1図の実施例において、トランクススタQ32のエミッタサイズN3をトランクススタQ28のエミッタサイズN1よりも大きく、また、トランクススタQ29のエミッタサイズN2をトランクススタQ33のエミッタサイズN4よりも大きく、即ち、 $N1 <$

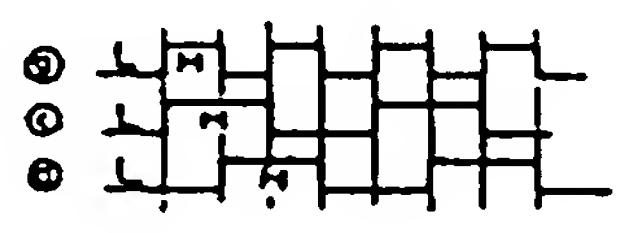
信号、④、⑤、⑥、⑦—出力信号。

代理人 弁護士 伊 藤 通

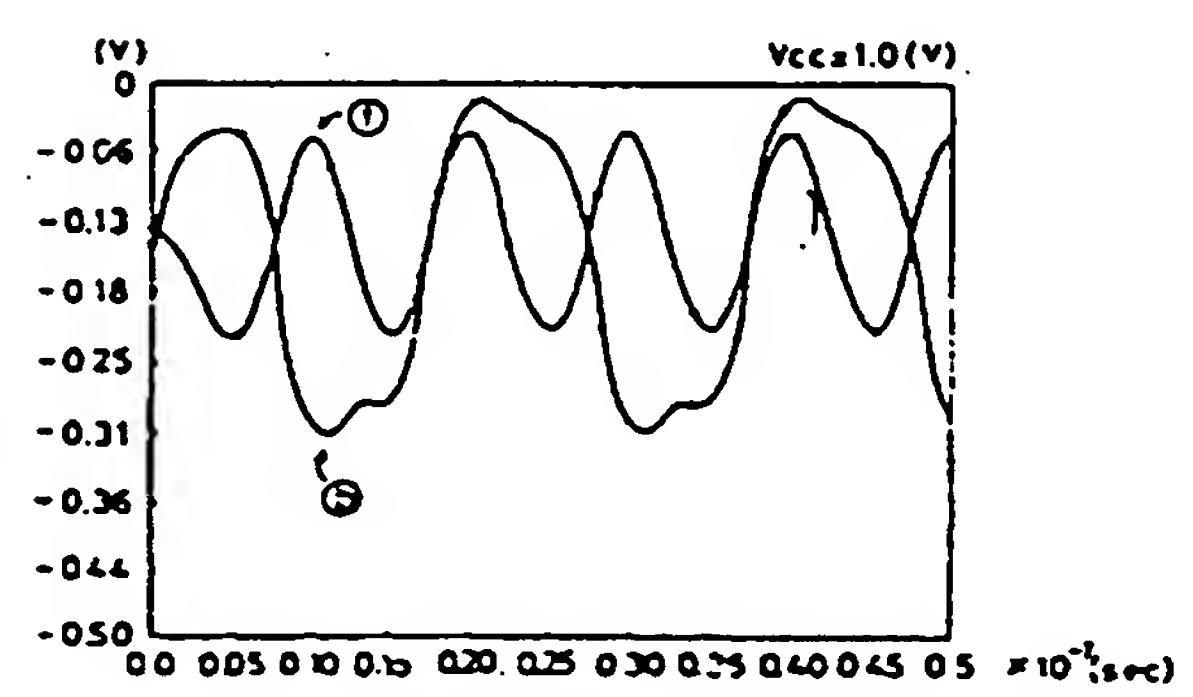




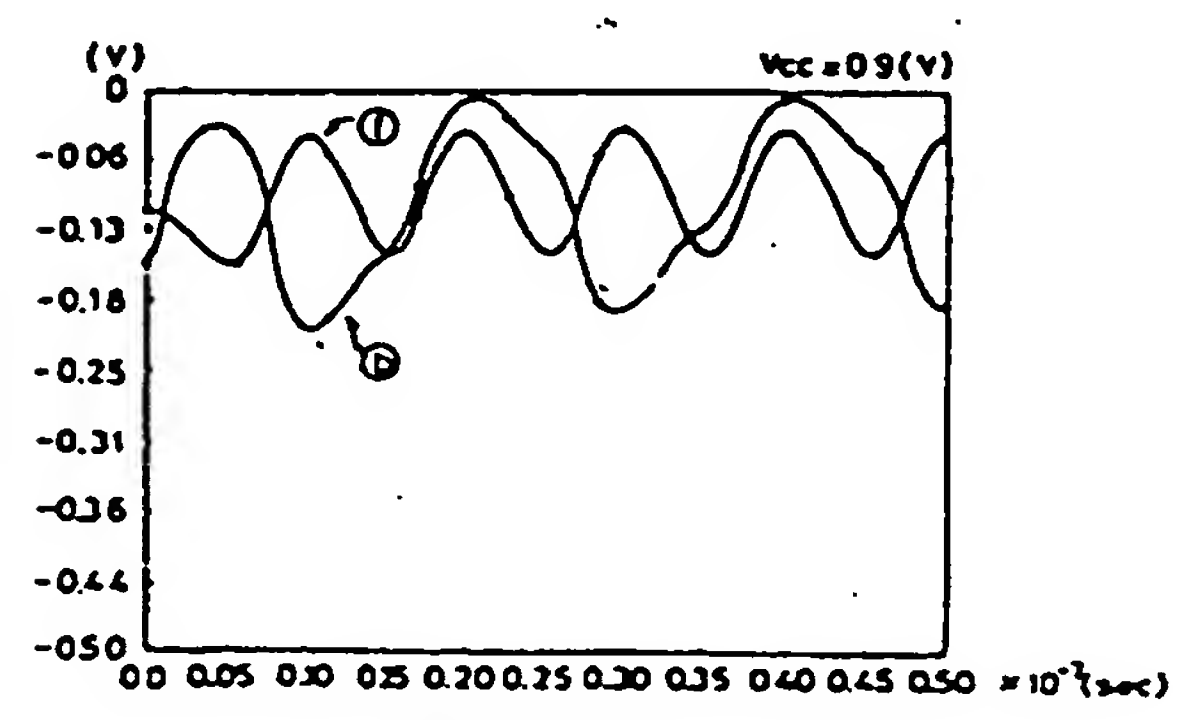
第 1 図



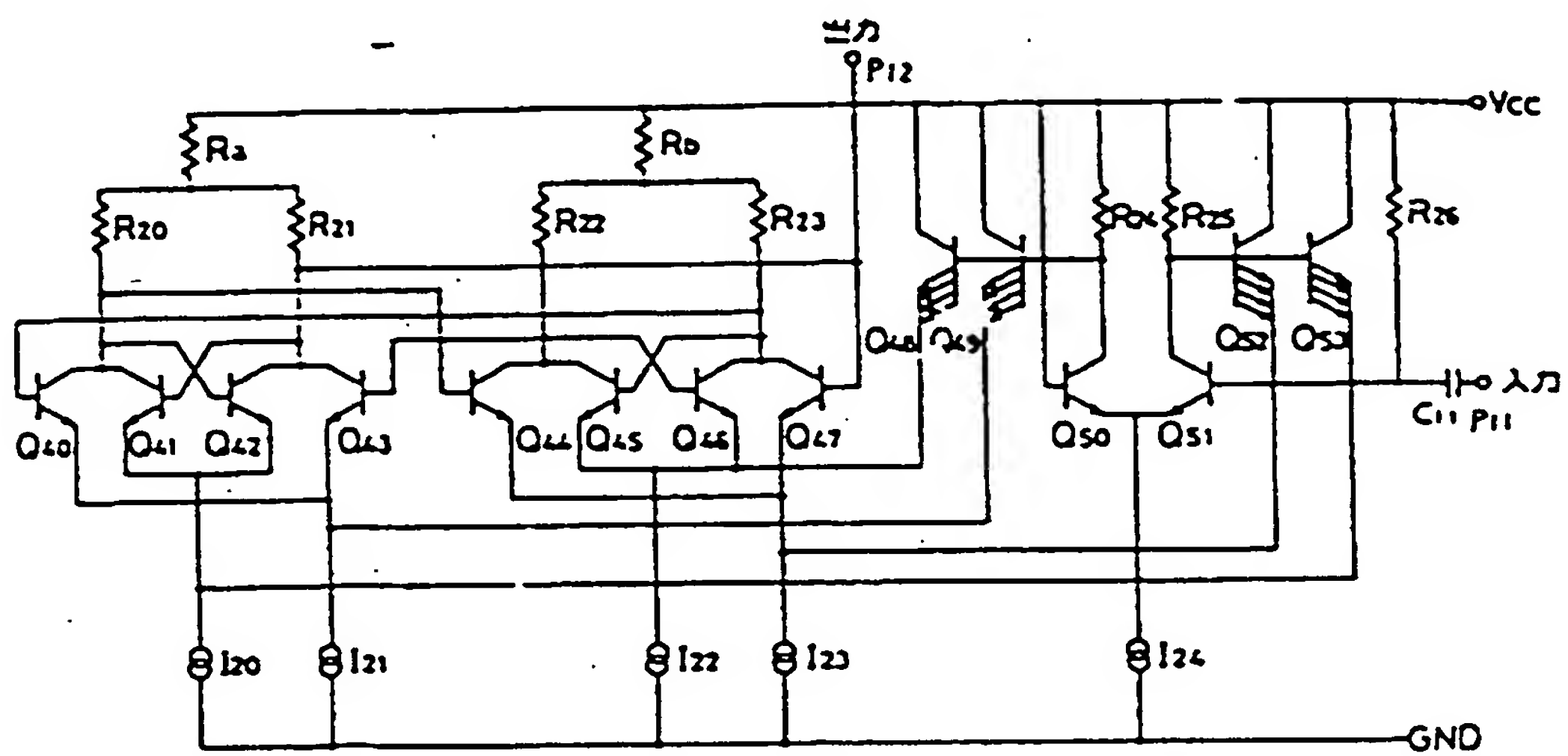
第 2 図



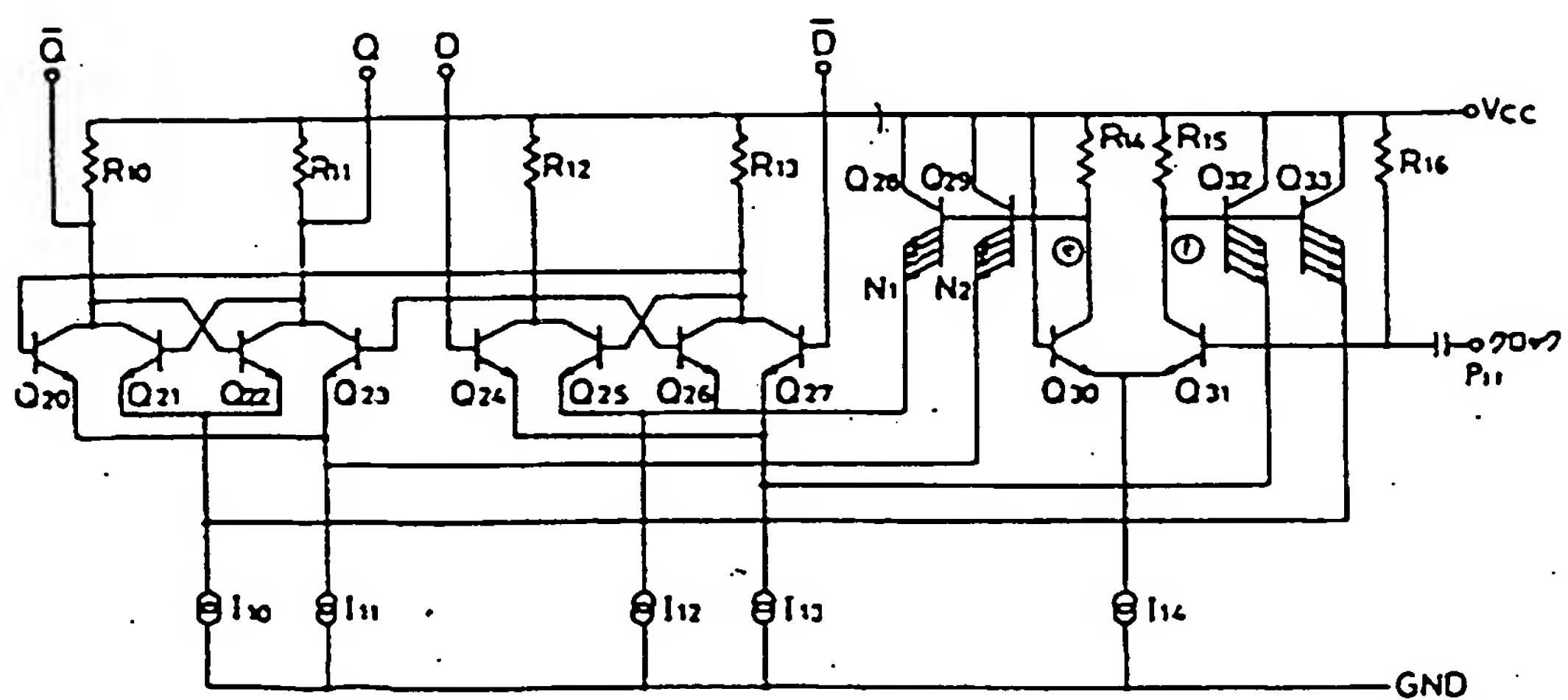
第 3 図



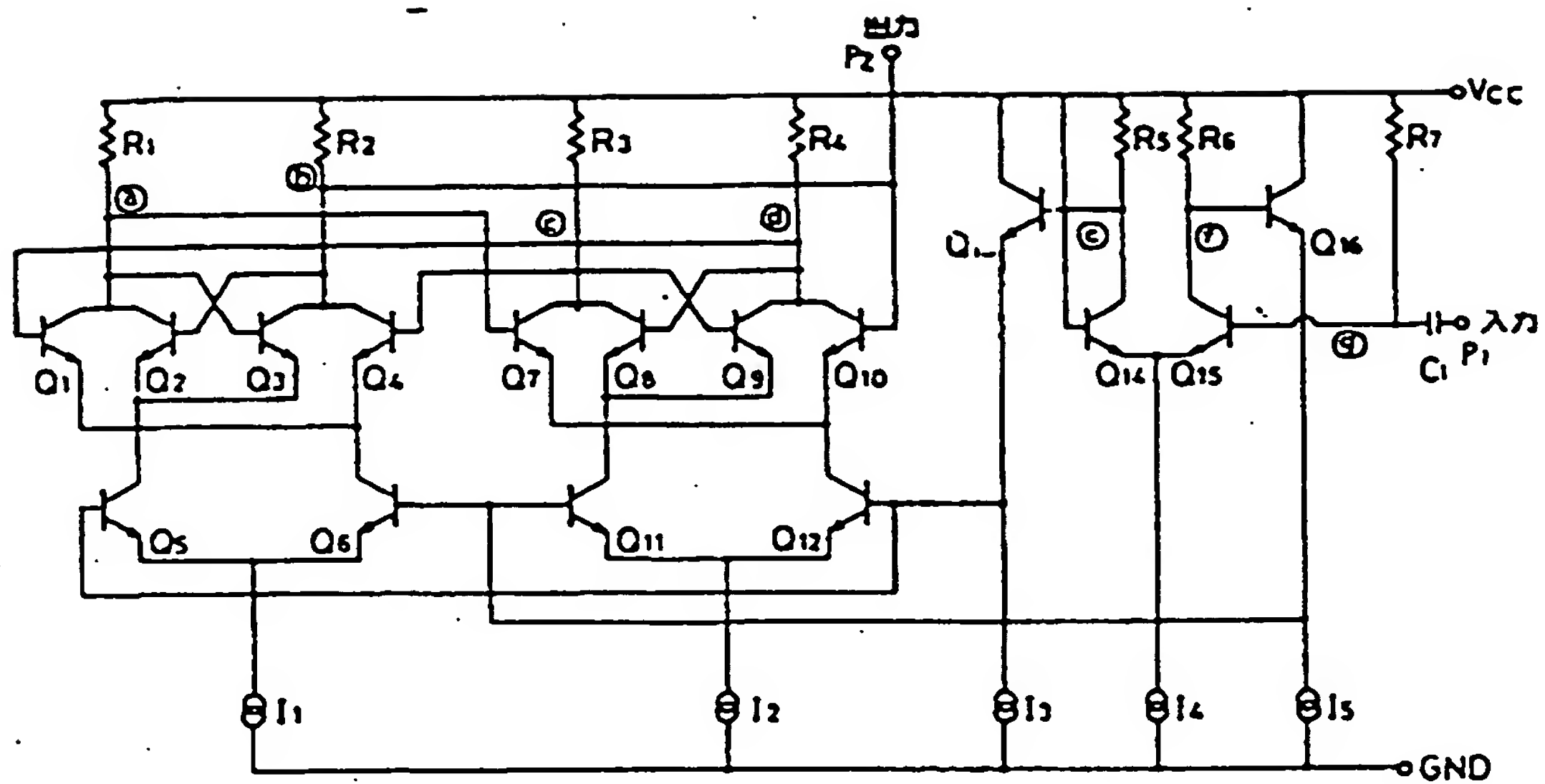
第 4 図



第 5 図



第 6 図



第 7 図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.